

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月29日
Date of Application:

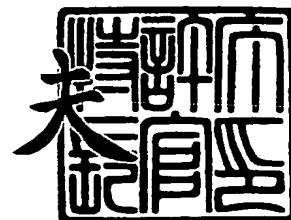
出願番号 特願2003-020971
Application Number:
[ST. 10/C]: [JP 2003-020971]

出願人 シャープ株式会社
Applicant(s):

2003年11月20日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3096240

【書類名】 特許願

【整理番号】 02J05140

【提出日】 平成15年 1月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 25/065
H01L 21/60 301

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 西田 久滋

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 曾田 義樹

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 十楚 博行

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

外部引出し電極が設けられた 1 つ以上の半導体チップを積層基台に積層した半導体装置において、

少なくとも 1 つの接続配線が形成されたインターポーザチップを備え、

少なくとも 1 つの上記半導体チップに設けられている外部引出し電極が、ワイヤボンディングにより、少なくとも 1 つの上記インターポーザチップにおける上記接続配線に接続されているとともに、

上記接続配線に接続されている上記半導体チップに設けられている外部引出し電極が、該接続配線を中継して、上記積層基台または別の半導体チップに設けられている配線の電極と電氣的に接続されることを特徴とする半導体装置。

【請求項 2】

上記インターポーザチップは、上記半導体チップを形成する際に用いられるウェハと同じ材質および構造のウェハを用いて形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

上記インターポーザチップは、上記半導体チップを形成する装置と同じ装置で形成されることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

上記インターポーザチップよりも積層上方に少なくとも 1 つの半導体チップが積層されることを特徴とする請求項 1、2、または 3 に記載の半導体装置。

【請求項 5】

上記インターポーザチップに設けられている接続配線には、

上記インターポーザチップよりも積層下方に設けられる外部電極とワイヤボンディングによって電氣的接続される第 1 のボンディングパッドと、

上記インターポーザチップよりも積層上方に設けられる外部電極とワイヤボンディングによって電氣的接続される第 2 のボンディングパッドとが設けられてい

ることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

上記インターポーザチップと上記半導体チップとが、上記積層基台または別の半導体チップ上に並列して配置されていることを特徴とする 1、2、または 3 に記載の半導体装置。

【請求項 7】

上記インターポーザチップに設けられている接続配線には、

上記インターポーザチップよりも積層下方に設けられる外部電極とワイヤボンディングによって電氣的に接続される第 1 のボンディングパッドと、

上記インターポーザチップと並列して配置される半導体チップの電極とワイヤボンディングによって電氣的に接続される第 2 のボンディングパッドとが設けられていることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】

上記インターポーザチップに複数の接続配線が設けられているとともに、

上記複数の接続配線が、それぞれ互いに交差しないように配置されていることを特徴とする請求項 1 ないし 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

上記第 1 のボンディングパッドの配列の順番と、該第 1 のボンディングパッドと上記接続配線によって接続される上記第 2 のボンディングパッドの配列の順番とが異なっていることを特徴とする請求項 8 記載の半導体装置。

【請求項 10】

上記インターポーザチップの接続配線には、上記第 1 のボンディングパッドと上記第 2 のボンディングパッドとの間に、少なくとも 1 つの別のボンディングパッドが設けられているとともに、

上記第 1 のボンディングパッド、上記第 2 のボンディングパッド、および上記別のボンディングパッドのうち、任意の 2 つのボンディングパッドを用いて外部電極とワイヤボンディングが行われることを特徴とする請求項 5 または 7 に記載の半導体装置。

【請求項 11】

上記インターポーザチップに複数の接続配線が設けられているとともに、
上記複数の接続配線が、それぞれ互いに交差しないように配置されていること
を特徴とする請求項 1 0 に記載の半導体装置。

【請求項 1 2】

上記第 1 のボンディングパッドの配列の順番、該第 1 のボンディングパッドと
上記接続配線によって接続される上記第 2 のボンディングパッドの配列の順番、
および該第 2 のボンディングパッドと上記接続配線によって接続される上記別の
ボンディングパッドの配列の順番のうち、少なくとも 2 つのボンディングパッド
の配列の順番が異なっていることを特徴とする請求項 1 1 に記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置に関するものであり、特に複数の半導体チップが積層され
た半導体装置に関するものである。

【0 0 0 2】

【従来の技術】

電子機器の小型・軽量・薄型化を実現するキーテクノロジーの 1 つである、半
導体チップの高密度実装を実現するために、半導体装置においてこれまで様々な
パッケージング技術が開発されてきた。

【0 0 0 3】

マザーボードへの実装に必要とされる面積を低減させるための、半導体装置の
パッケージ構造に関する技術として、D I P (Dual Inline Package) などのピン
挿入方式パッケージ、S O P (Small Outline Package) などの外周のリード
による表面実装パッケージ、さらに B G A (Ball Grid Array) などのパッケー
ジ下面に格子状に外部出力端子を配置したパッケージといった技術が開発されて
きた。また、半導体チップに対するパッケージの面積比率を低減させることによ
り高密度実装を実現する技術として、基板配線の微細化による外部出力端子の狭
ピッチ化およびパッケージサイズの縮小化が図られてきた。

【0 0 0 4】

さらに、複数の半導体チップをまとめて、単一のパッケージ内に実装するマルチチップパッケージ、マルチチップパッケージの中でも、さらに高密度実装を実現するために複数の半導体チップを積層実装したチップスタックドパッケージといった技術が開発されてきた。また、マルチチップパッケージの中でも、各々別機能をもつ複数の半導体チップを単一のパッケージに封止してシステム化を実現したものは、システムインパッケージと呼ばれ、開発が進められてきた。

【0005】

一方で、電子機器の小型・軽量・薄型化を実現する方法として、半導体チップの高密度パッケージング・実装とは別の方法が注目されている。これは、従来、別の半導体チップであったメモリー、ロジック、アナログといった回路を混載し、単一のチップにシステム機能を集積させた、システムオンチップを用いた方法である。

【0006】

しかし、メモリー、ロジックといった回路を1つのチップに集積させる場合には、メモリー回路は低電圧化が困難であること、ロジック回路で発生するノイズ対策が必要であることなどの問題がある。さらに、従来バイポーラで製造されてきたアナログ回路を混載させる場合、メモリー、ロジックと同じCMOSで作製することは困難になる。

【0007】

そこで、システムオンチップに代わって、同等の機能を短期間、低コストで開発可能なシステムインパッケージが注目されている。

【0008】

図9に、従来のシステムインパッケージの半導体装置として、複数の半導体チップを積層してワイヤボンドした、チップ積層型の半導体装置の構成例を示す。該半導体装置を積層上方から見た平面図が図9(a)であり、同図(b)は同図(a)のE-E'矢視断面図である。図9に示すように、半導体装置は、ポリイミド基板あるいはプリント基板からなる基板4を積層基台として、半導体チップ2およびそれよりもサイズの小さい半導体チップ1がこの順に積層された構成である。基板4と半導体チップ2との間、および、半導体チップ1と半導体チップ

2 との間は、ダイボンド接着層 9 によって接着されている。

【0009】

半導体チップ 1・2 にはそれぞれ、外部との導通をとるための、ワイヤボンディングが可能なボンディングパッド 15…・25…が設けられている。ボンディングパッド 15…・25…は、それぞれ基板 4 に設けられたボンディング端子 6…に接続されている。この接続には、同図に示すように、金線などのワイヤ 8…を用いたワイヤボンディング法が広く使用される。ワイヤボンディング法は積層基台がリードフレームである場合にも使用される。

【0010】

なお、積層する半導体チップのいくつかのボンディングパッドを、基板上のボンディング端子と結線しないで、積層した他の半導体チップのボンディングパッドと結線する場合もある。

【0011】

上記のように、半導体チップをスタック積層して、チップと基板間の電氣的接続をワイヤボンドで実施する場合、チップサイズが大きい順に積層される。これは、上に積み重ねた半導体チップが、下の半導体チップのボンディングパッドに干渉しないようにするためである。基板上のボンディング端子は、最下段の半導体チップ外側に配置されているので、最上段と最下段のチップサイズに差があると、上段の半導体チップのボンディングパッドと基板のボンディング端子との間の距離が長くなり、必然的にワイヤ長も長なる。

【0012】

上記のような、システムインパッケージの半導体装置において、メモリー L S I の上にロジック・アナログ L S I をスタック積層し、ワイヤボンディングしたような場合では、以下のような問題点が存在する。

【0013】

ロジック・アナログ L S I はチップサイズがメモリー L S I と比較して、かなり小さくなるケースが多い。従って、メモリー L S I の上にチップサイズに差があるロジック・アナログ L S I をスタック積層し、ワイヤボンディングさせた構造の半導体装置では、ワイヤ長を長くすることにより、ワイヤ強度の低下、封止

時のワイヤ流れが発生する。さらに、自重によるワイヤの垂れなどによる、ワイヤ同士の接触、ワイヤと下段にある半導体チップエッジとの接触といった不具合が発生するという問題点があった。この問題の解決策として、以下のような方法が提案されてきた。

【0014】

例えば、予め再配線層が回路面上に形成された半導体チップ上に、別の半導体チップを積層させ、上段にある半導体チップからのワイヤボンディング用ワイヤを、再配線層に中継させる構成が提案されている（例えば、特許文献1参照）。このような構成とすることによって、1ループあたりのワイヤ長を短くすることができる。

【0015】

また、上段の半導体チップと下段の半導体チップとの間に、ワイヤボンディング用ワイヤを中継配線させるための配線層が形成されたポリイミドテープを設ける構成が提案されている（例えば、特許文献2参照）。このような構成とすることによって、同様に1ループあたりのワイヤ長を短くすることができる。

【0016】

【特許文献1】

特開2001-257307号公報（2001年9月21日公開）

【0017】

【特許文献2】

特開2002-76250号公報（2002年3月15日公開）

【0018】

【発明が解決しようとする課題】

しかし、上記のような再配線層を回路面上に形成する従来の半導体装置では、一旦完成した半導体チップ上にワイヤボンディング用のワイヤを中継配線するための再配線層を形成する工程が必要になる。よって、再配線層を形成する工程に含まれる、アルミニウム膜のスパッタリングや、露光、エッチングプロセス等のフォトリソグラフィの過程によるダメージで、再配線層が形成されている半導体チップ内の半導体素子の電気的特性が劣化するという問題点がある。

【0019】

さらに、再配線層の配線を形成する際に、一旦完成した半導体チップのボンディングパッド上に絶縁層を形成する工程で、エッチングレジストの形成や除去を行うと、ボンディングパッドの表面に不純物が残留する。そこで、この不純物により、ワイヤボンディングの接合強度を低下させるといった問題点も発生する。

【0020】

さらに、ワイヤボンディング時に、再配線層が形成された半導体チップ上の再配線層のボンディングパッドにストレスがかかると、応力により再配線層のボンディングパッドの下に形成された半導体素子を破壊してしまうおそれもある。

【0021】

また、ポリイミドテープに配線を形成した配線層を設けた半導体装置では、上記のような半導体チップに再配線層を形成する方法と比較すると、微細配線が困難であるといった問題がある。これは、材料およびフォトリソ装置の違いにより、半導体チップに再配線層を形成する場合は、配線ピッチの最小値は $1\mu\text{m}$ 以下が可能であるのに対して、ポリイミドテープ上に配線を形成する方法では、現状の技術では配線ピッチの最小値は、 $50\sim 60\mu\text{m}$ が限界だからである。

【0022】

また、配線層を構成する材料であるポリイミドは、他の構成材料と比較して水分を吸収しやすい性質を持っている。そのため、半導体パッケージを加熱リフローにより基板に実装する時に、吸収されている水分が膨張して、配線層とその上下にある半導体チップとが剥離する現象、いわゆるリフロークラックを引き起こす可能性がある。よって、半導体装置の品位が下がるといった問題が発生する。

【0023】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、積層基台上に積層された複数の半導体チップ内に形成された記憶素子、論理素子等の機能素子（回路素子、半導体素子）の電気的特性の劣化と物理的破壊とを防止できる、また、ワイヤボンディング強度を低下させない、さらに、ワイヤボンディング用ワイヤを中継させるための配線の配線ピッチを微細に形成できる半導体装置を提供することにある。

【0024】

【課題を解決するための手段】

本発明の半導体装置は、上記の課題を解決するために、外部引出し電極が設けられた1つ以上の半導体チップを積層基台に積層した半導体装置において、少なくとも1つの接続配線が形成されたインターポーザチップを備え、少なくとも1つの上記半導体チップに設けられている外部引出し電極が、ワイヤボンディングにより、少なくとも1つの上記インターポーザチップにおける上記接続配線に接続されているとともに、上記接続配線に接続されている上記半導体チップに設けられている外部引出し電極が、該接続配線を中継して、上記積層基台または別の半導体チップに設けられている配線の電極と電気的に接続されることを特徴としている。

【0025】

上記構成によれば、例えば積層された半導体チップと半導体チップとの間や、積層基台の積層上方側などに、少なくとも1つの接続配線が形成されたインターポーザチップが備えられる。また、半導体チップに設けられている外部引出し電極は、ワイヤボンディングにより、インターポーザチップの接続配線に接続され、該接続配線を中継して、積層基台または別の半導体チップの電極と電気的に接続される。このように、半導体チップに設けられている外部引出し電極と、積層基台または別の半導体チップの電極とを接続する際に、インターポーザチップを中継することができるので、ワイヤボンディングによるワイヤの長さを短くすることが可能となる。よって、ワイヤが長い場合に生じていた、ワイヤ強度の低下、自重によるワイヤの垂れなどによるワイヤ同士の接触、ワイヤと下段にある半導体チップエッジとの接触といった不具合を抑制することができる。

【0026】

ここで、積層したいずれかの半導体チップに再配線層が設けられている従来の半導体装置と比較すると、上記本発明に係る構成では、接続配線を有するインターポーザチップを用いているため、配線が形成された半導体チップにスパッタリングやフォトリソグラフィ等の再配線層を形成するための工程を行う必要がない。よって、再配線層を形成するために起こる、半導体チップ内の半導体素子の電

気的特性の劣化といった問題は発生しない。

【0027】

また、半導体チップに再配線層を設ける従来の半導体装置では、半導体チップに電極としてのボンディングパッドを形成した後に、再配線層を形成するためにエッチングレジストの形成や除去を行うことになり、ボンディングパッドの表面に不純物が残留し、ワイヤボンディングの接合強度を低下させるといった問題もある。これに対しても、上記本発明に係る構成では、再配線層を形成しないために、ワイヤボンディングの接合強度を低下させることはない。また、上記従来の半導体装置では、ワイヤボンディング時に再配線層にストレスがかかると、直下の半導体チップにおける配線にダメージを与えるおそれがあったが、上記本発明に係る構成では、インターポーザチップの厚みや固さにより、ワイヤボンディング時におけるストレスによる影響を解消することができる。

【0028】

従って、上記の構成によれば、積層基台上に積層された複数の半導体チップ内に形成された半導体素子の電気的特性の劣化や物理的破壊を防止することが可能であり、ワイヤボンディング強度を高くすることが可能となる。

【0029】

本発明に係る半導体装置は、上記の構成において、上記インターポーザチップは、上記半導体チップを形成する際に用いられるウェハと同じ材質および構造のウェハを用いて形成される構成でもよい。

【0030】

上記構成によれば、インターポーザチップが半導体チップを形成する際に用いられるウェハと同じ材質および構造のウェハを用いて形成されるため、ワイヤボンディング用ワイヤを中継させるための配線ピッチを微細に形成することができる。つまり、半導体チップにおいて、ウェハに配線層を形成する場合は、配線ピッチの最小値は $1\mu\text{m}$ 以下が可能であるので、インターポーザチップにおいても、同様に最小値は $1\mu\text{m}$ の微細な配線ピッチの接続配線を形成することが可能である。

【0031】

また、インターポーザチップを、半導体チップに用いられるウェハと同じもので形成することができるので、インターポーザチップ用の基板を別に用意する必要がなくなる。よって、製造コストおよび装置コストの低減を図ることができる。

【0032】

本発明に係る半導体装置は、上記の構成において、上記インターポーザチップは、上記半導体チップを形成する装置と同じ装置で形成される構成でもよい。

【0033】

上記構成によれば、インターポーザチップは、半導体チップと同じ装置で形成されるため、インターポーザチップの接続配線を形成する工程では、半導体チップの形成時にウェハに配線層を形成する場合と同様に微細な配線ピッチの接続配線を形成することができる。また、インターポーザチップの形成のための装置は、半導体チップを形成するための装置と同様のものを用いることができるため、生産コストを削減することができる。

【0034】

本発明に係る半導体装置は、上記の構成において、上記インターポーザチップよりも積層上方に少なくとも1つの半導体チップが積層される構成でもよい。

【0035】

上記構成によれば、インターポーザチップを介してワイヤボンディングすることで、インターポーザチップよりも積層上方の半導体チップの電極とインターポーザチップよりも積層下方の電極とを電氣的に接続させることができる。

【0036】

本発明に係る半導体装置は、上記の構成において、上記インターポーザチップに設けられている接続配線には、上記インターポーザチップよりも積層下方に設けられる外部電極とワイヤボンディングによって電氣的接続される第1のボンディングパッドと、上記インターポーザチップよりも積層上方に設けられる外部電極とワイヤボンディングによって電氣的接続される第2のボンディングパッドとが設けられている構成でもよい。

【0037】

上記構成によれば、インターポーザチップの接続配線にボンディングパッドが設けられているため、ボンディングパッドを外部接続のためのワイヤボンディングパッドおよび電極パッドとして用いることができる。よって、インターポーザチップと外部電極を電氣的接続することができる。このインターポーザチップのボンディングパッドを中継してワイヤボンディングすると、上段の半導体チップから積層基台の配線に向けて直接ワイヤボンディングを行うよりもワイヤ1本あたりの長さは短くすることができる。

【0038】

従って、半導体チップと積層基台とを1回のワイヤボンディングで接続するとワイヤの長さが非常に長くなってしまうような半導体チップに対しても、ワイヤの長さをより短くすることができる。

【0039】

また、上記構成によれば、第1のボンディングパッドとインターポーザチップよりも積層下方に設けられる外部電極とを、第2のボンディングパッドと上記インターポーザチップよりも積層上方に設けられる外部電極とをワイヤボンディングによって接続することができる。また、第1のボンディングパッドと第2のボンディングパッドとは、接続配線により接続されている。

【0040】

よって、インターポーザチップよりも積層上方に設けられる半導体チップの電極を、インターポーザチップの2つのボンディングパッドを介して積層基台または他の半導体チップの電極にワイヤボンディングにより電氣的に接続させることができる。

【0041】

本発明に係る半導体装置は、上記の構成において、上記インターポーザチップと上記半導体チップとが、上記積層基台または別の半導体チップ上に並列して配置されている構成でもよい。

【0042】

上記構成によれば、半導体チップ上の外部引出し電極のうち、上記積層基台または別の半導体チップに設けられている電極から遠く離れている電極に対して、

並列に配置されたインターポーザチップを中継して電氣的接続を行うことが可能となる。

【0043】

ここで、上記積層基台または別の半導体チップ上にインターポーザチップを積層し、さらにその上層に半導体チップを設ける構成とすることも考えられるが、この場合には、半導体装置の厚みが厚くなるという問題がある。これに対して、上記の構成によれば、インターポーザチップは、半導体チップと並列して配置されるので、半導体装置の厚みが増大することを抑制することができる。すなわち、インターポーザチップよりも積層下方の半導体チップの面積あるいは積層基台の面積を積層に有効に利用することが可能となる。

【0044】

本発明に係る半導体装置は、上記の構成において、上記インターポーザチップよりも積層下方に設けられる外部電極とワイヤボンディングによって電氣的に接続される第1のボンディングパッドと、上記インターポーザチップと並列して配置される半導体チップの電極とワイヤボンディングによって電氣的に接続される第2のボンディングパッドとが設けられている構成でもよい。

【0045】

上記構成によると、インターポーザチップと半導体チップとは、並列して積層基台あるいは別の半導体チップ上に配置され、第1のボンディングパッドはインターポーザチップよりも積層下方に設けられる外部電極と、第2のボンディングパッドは並列して配置される半導体チップの電極とワイヤボンディングされる。

【0046】

従って、インターポーザチップを積層しても半導体装置の積層の厚みを増大させることなく、インターポーザチップよりも積層上方に設けられる半導体チップの電極を、インターポーザチップの2つのボンディングパッドを介して積層基台または他の半導体チップの電極にワイヤボンディングにより電氣的に接続させることができる。

【0047】

本発明に係る半導体装置は、上記の構成において、上記インターポーザチップ

に複数の接続配線が設けられているとともに、上記複数の接続配線が、それぞれ互いに交差しないように配置されている構成でもよい。

【0048】

上記構成によれば、インターポーザチップには接続配線が複数設けられているので、接続配線を介して、半導体チップにおける複数の電極と、積層基台あるいは別の半導体チップの複数の電極とを電氣的接続させることができる。

【0049】

また、それぞれの接続配線が互いに交差しないように配置されているので、短絡などの不具合の発生を防止し、上記電氣的接続を確実に行うことができる。

【0050】

本発明に係る半導体装置は、上記の構成において、上記第1のボンディングパッドの配列の順番と、該第1のボンディングパッドと上記接続配線によって接続される上記第2のボンディングパッドの配列の順番とが異なっている構成でもよい。

【0051】

上記構成によれば、第1のボンディングパッドとそれに対応する第2のボンディングパッドの配列順序が異なるため、第1のボンディングパッドに接続する外部電極の配列順序が、第2のボンディングパッドと接続する外部電極の配列順序と異なってもよいことになる。従って、インターポーザチップより積層上方の半導体チップの電極は、当該インターポーザチップより積層下方の積層基台または別の半導体チップのどの位置の電極とも電氣的に接続することが可能になる。よって、積層基台の配線設計をそれぞれの半導体チップに合わせる必要がなくなるので、積層基台の設計・製造を容易にすることができる。

【0052】

本発明に係る半導体装置は、上記の構成において、上記インターポーザチップの接続配線には、上記第1のボンディングパッドと上記第2のボンディングパッドとの間に、少なくとも1つの別のボンディングパッドが設けられているとともに、上記第1のボンディングパッド、上記第2のボンディングパッド、および上記別のボンディングパッドのうち、任意の2つのボンディングパッドを用いて外

部電極とワイヤボンディングが行われる構成でもよい。

【0053】

上記構成によれば、第1のボンディングパッドと別のボンディングパッドとの間、および、別のボンディングパッドと第2のボンディングパッドとの間が配線によって接続されている。また、第1、第2のおよび別のボンディングパッドのうち任意の2つを外部電極との接続に用いることができる。

【0054】

従って、あるサイズの半導体チップを上記インターポーザチップ上に搭載する場合には、第2のボンディングパッドを半導体チップの電極とを接続し、第1のボンディングパッドと下段の電極とを接続することができ、さらに、別のサイズの半導体チップを上記インターポーザチップ上に搭載する場合には、別のボンディングパッドを半導体チップの電極とを接続し、第1のボンディングパッドと下段の電極とを接続することができる。つまり、第1、第2のおよび別のボンディングパッドを有する同一種類のインターポーザチップに、異なったサイズの半導体チップを搭載することが可能になる。

【0055】

このように、半導体チップのサイズに起因するインターポーザチップの制約の影響が低減することによって、ワイヤボンディング工程の歩留が低下することなく、積層可能な半導体チップ組み合わせの自由度を大幅に向上させることができる。

【0056】

本発明に係る半導体装置は、上記の構成において、上記第1、第2および、別のボンディングパッドを有するインターポーザチップに複数の接続配線が設けられているとともに、上記複数の接続配線が、それぞれ互いに交差しないように配置されている構成でもよい。

【0057】

上記構成によれば、接続配線が複数設けられているので、上記第1、第2および、別のボンディングパッドを有するインターポーザチップでも接続配線を介して、半導体チップにおける複数の電極と、積層基台あるいは別の半導体チップの

複数の電極とを電氣的接続させることができる。

【0058】

また、それぞれの接続配線が互いに交差しないように配置されているので、上記電氣的接続を確実に行うことができる。

【0059】

本発明に係る半導体装置は、上記の構成において、上記第1のボンディングパッドの配列の順番、該第1のボンディングパッドと上記接続配線によって接続される上記第2のボンディングパッドの配列の順番、および該第2のボンディングパッドと上記接続配線によって接続される上記別のボンディングパッドの配列の順番のうち、少なくとも2つのボンディングパッドの配列の順番が異なっている構成でもよい。

【0060】

上記構成によれば、上記インターポーザチップの上記第1のボンディングパッド、上記第2のボンディングパッド、および上記別のボンディングパッドのうち、少なくとも2つのボンディングパッド間の配列順序が異なるため、第1のボンディングパッドに接続する外部電極の配列順序、第2のボンディングパッドに接続する外部電極の配列順序、および第3のボンディングパッドに接続する外部電極の配列順序のうちの少なくともいずれか2つが異なってもよいことになる。

【0061】

従って、同一種類のインターポーザチップに、複数の異なった配列をもつ半導体チップを搭載した場合にも、インターポーザチップより積層上方の半導体チップの電極は、当該インターポーザチップより積層下方の積層基台または別の半導体チップのどの位置の電極とも電氣的に接続することが可能になる。

【0062】

【発明の実施の形態】

〔実施の形態1〕

以下、本発明の半導体装置の実施の一形態について、図1(a)および図1(b)に基づいて説明すれば以下の通りである。なお、本発明はこれに限定されるものではない。

【0063】

図1(a)は、本実施形態の半導体装置を積層上方から見た平面図であり、同図(b)は同図(a)のA-A'矢視断面図である。

【0064】

(半導体装置の構成)

図1(a)および図1(b)に示すように、本実施形態の半導体装置は、基板4を積層基台として、半導体チップ2、インターポーザチップ3および半導体チップ1がこの順に積層された構成である。なお、基板4と半導体チップ2との間、半導体チップ2とインターポーザチップ3との間、およびインターポーザチップ3と半導体チップ1との間は、それぞれ、ダイボンド接着層9で接着されている。

【0065】

基板4としては、無機物からなる薄板等の絶縁層に配線層を形成したものが用いられる。配線層には、半導体チップ1および2と接続を行うためのボンディング端子6…が形成されている。ボンディング端子6…は、外部と導通をとための外部引出し電極の電極パッドとして、かつ、ワイヤボンディングを行うためのボンディングパッドとして用いられる。なお、無機物からなる薄板には、樹脂フィルム、樹脂を含浸させたガラス布基材、セラミック等が好適に用いられる。さらに、半導体装置を量産型の大きさのものとするならば、基板4として、リードフレームを用いてもよく、絶縁性樹脂基板を用いると高密度実装型の半導体装置を供給することができる。

【0066】

半導体チップ1・2には、それぞれ積層上方側に形成された配線(図示せず)と、ボンディングパッド15…・25…とが設けられている。ボンディングパッド15…・25…は、半導体チップ1・2と外部との導通をとするための外部引出し電極の電極パッドとして、かつ、ワイヤボンディングを行うためのボンディングパッドとして用いられる。半導体チップ1・2は、通常、シリコン基板上にトランジスタなどの機能素子(回路素子)が形成された構成である。半導体チップ1・2の配線層は、ボンディングパッド15…・25…を残して、表面保護膜と

しての、SiNやポリイミドなどからなるパッシベーション膜（表面保護膜）と呼ばれる絶縁膜で覆われていることが好ましい。

【0067】

インターポーザチップ3は、ダミー半導体チップとして形成されており、機能素子が形成されていない擬似の半導体チップである。このインターポーザチップ3上には配線層が備えられている。この配線層は、外部との導通をとるための、ワイヤボンディングが可能な第1のボンディングパッド35a…・第2のボンディングパッド35b…、および配線7…を有している。配線層において、第1のボンディングパッド35a…は、半導体チップ2に近い側に配置され、第2のボンディングパッド35b…は、第1のボンディングパッド35a…よりも半導体チップ1に近い側に配置される。配線7…は、第1のボンディングパッド35a…と第2のボンディングパッド35b…とを1対1で接続している。本実施の形態では、配線7…、第1および第2のボンディングパッド35a…・35bから接続配線が形成されている。

【0068】

なお、接続配線の構成は上記に限定されることはなく、例えば、配線7…に直接ワイヤボンディングできるような場合は接続配線にボンディングパッドを設ける必要はない。また、第1のボンディングパッド…のみを接続配線として用いるような場合があってもよい。

【0069】

本実施形態においては、第1のボンディングパッド35a…は、インターポーザチップ3の外周辺に沿って配置されている。また、第2のボンディングパッド35b…は、第1のボンディングパッド35a…の内側で半導体チップ1の外周辺に沿って配置されている。また、全ての配線7…は、互いに交差しないように第2のボンディングパッド35b…から第1のボンディングパッド35a…に向かって放射線状に配線されている。なお、上記配線層の表面は、第1のボンディングパッド35a…と第2のボンディングパッド35b…とを残してパッシベーション膜で覆われているのが好ましい。

【0070】

インターポーザチップ3は、基板4上に積層された半導体チップ1および／または2を形成する際に用いられるウェハと同じ材質および構造のウェハを用いて形成される。また、基板4上に積層された半導体チップ1および／または2に配線層を形成する際と同じプロセスと装置とで、インターポーザチップ3上に第1のボンディングパッド35a…・第2のボンディングパッド35b…、および配線7…が形成される。よって、インターポーザチップ3の形成に半導体チップ1・2の形成と同様の材料や製造装置を用いることができるので、インターポーザチップ3の形成に要する製造コストおよび製造時間の上昇を低く抑えることができる。また、半導体チップ1および／または2を形成する際に用いられるウェハに配線層を形成する際は、配線ピッチの最小値は1 μ m以下が可能であるので、インターポーザチップ3の配線層の配線ピッチも1 μ m以下で微細に形成することができる。

【0071】

本実施の形態では、このインターポーザチップ3を利用してワイヤボンディングが行われている。半導体チップ1上のボンディングパッド15…と基板4上のボンディング端子6…は、ワイヤ8…とインターポーザチップ3を介して、電氣的に接続される。なお、ワイヤ8…には特に金やアルミニウムの細線が好適に用いられる。

【0072】

(半導体装置の製造工程)

以下に本実施形態の半導体装置の製造工程について工程の順序に従って説明する。

【0073】

①基板4の上面に、半導体チップ2、インターポーザチップ3、半導体チップ1の順に積載して固定させる。それぞれのチップ間および半導体チップ2と基板4との間はダイボンド接着層9を用いて接着する。

【0074】

②半導体チップ2上のボンディングパッド25…と基板4上のボンディング端子6…とを、ワイヤ8…を介して電氣的に接続する。

【0075】

③半導体チップ1上のボンディングパッド15…とインターポーザチップ3上の第2のボンディングパッド35b…とを、ワイヤ8…を介して電氣的に接続する。

【0076】

④インターポーザチップ3上の第1のボンディングパッド35a…と、ボンディング端子6…のうち半導体チップ2上のボンディングパッド25…と接続される以外のものとを、ワイヤ8…を介して電氣的に接続する。

【0077】


上記のように、第2のボンディングパッド35b…と第1のボンディングパッド35a…とは、配線7…によってそれぞれ接続されている。よって、半導体チップ1上のボンディングパッド15…は、第2のボンディングパッド35b…、配線7…、および第1のボンディングパッド35a…を介して、ワイヤ8…によって、基板4のボンディング端子6…に電氣的に接続されていることになる。

【0078】

なお、図1(a)に示すように、ボンディング端子6…へ接続するワイヤ8…同士は左右方向において交差していないので、A-A'矢視断面図では、ボンディング端子6…と第1のボンディングパッドとを接続するワイヤ8…の下には、ボンディング端子6…と半導体チップ2のボンディングパッド25とを接続するワイヤ8…は存在しない。しかし、図1(b)では、ボンディング端子6…へ接続するワイヤ8…同士が上下方向においても交差していないことを示すために、便宜上、ワイヤボンディングの状態を図1(a)の状態とは変えて図示してある。

【0079】

また、本実施の形態においては、図1(a)に示すように、ワイヤ8…のいずれも互いに交差することなくワイヤボンディングが行われている。これは、①インターポーザチップ3の第2のボンディングパッド35b…が、それぞれと対をなす半導体チップ1のボンディングパッド15…の配列と同じ順番で半導体チップ1の周りに配置されていること、および、②インターポーザチップ3の第1の



ボンディングパッド 35 a…が、半導体チップ 2 のボンディングパッド 25…と基板 4 のボンディング端子 6…とを接続するワイヤ 8…同士の間を通過して、基板 4 のボンディング端子 6…に対してワイヤボンディングされるように配置されていることによる。このような配置により、ワイヤ 8…同士は接触交差しないので、短絡などの不具合が生じることを防止することができ、半導体チップ 1 の電極と基板 4 の電極との電氣的接続をより確実なものとすることができる。

【0080】

また、本実施形態では、半導体チップ 1 のボンディングパッド 15…は、全てインターポーザチップ 3 の第 2 のボンディングパッド 35 b…と接続するものとするが、半導体チップ 2 のボンディングパッド 25…と接続するような場合があってもかまわない。つまり、別々の半導体チップ上のボンディングパッド同士がワイヤボンディングされてもよい。

【0081】

〔実施の形態 2〕

本発明の半導体装置に関する他の実施形態について、図 2 (a) および図 2 (b) に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施の形態 1 にて説明した図面と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

【0082】

図 2 (a) は、本実施形態の半導体装置を積層上方から見た平面図であり、同図 (b) は同図 (a) の B-B' 矢視断面図である。図 2 (a) および図 2 (b) に示すように、本実施形態の半導体装置は、基板 4 の上面に半導体チップ 2 が積層され、さらにその上に、半導体チップ 1 とインターポーザチップ 3 とが並べて積層された構成である。なお、基板 4 と半導体チップ 2 との間、半導体チップ 2 とインターポーザチップ 3 および半導体チップ 1 との間は、それぞれ、ダイボンド接着層 9 で接着されている。

【0083】

半導体チップ 1 の外周辺のうちインターポーザチップ 3 に近い辺に配置されたボンディングパッド 15…が、インターポーザチップ 3 の第 2 のボンディングパ

ッド35b…とワイヤ8…によって接続されている。第2のボンディングパッド35b…と第1のボンディングパッド35a…とは配線7…によって接続されている。また、第1のボンディングパッド35a…とボンディング端子6…とがワイヤ8…によって接続されている。また、半導体チップ1におけるボンディングパッド15…のうち、第2のボンディングパッド35b…と接続されていないボンディングパッド15…、および半導体チップ2のボンディングパッド25…は、ボンディング端子6…のうち第1のボンディングパッド35a…と接続されていないものと、ワイヤ8…によって接続されている。つまり、半導体チップ1の外周辺のうちインターポーザチップ3に近い辺に配置されたボンディングパッド15…のみが、ワイヤ8…とインターポーザチップ3を介して、基板4上のボンディング端子6…と電氣的に接続される。

【0084】


本実施形態の半導体装置の製造工程として、初めに基板4の上面に、半導体チップ2、さらに半導体チップ2の上にインターポーザチップ3と半導体チップ1とを並べて積載して固定させる。基板4と半導体チップ2との間、半導体チップ2と半導体チップ1およびインターポーザチップ3との間はダイボンド接着層9を用いて接着する。次に、半導体チップ2上のボンディングパッド25…と基板4上のボンディング端子6…とを、ワイヤ8…を介して電氣的に接続する。

【0085】

次に、半導体チップ1の外周辺のうちインターポーザチップ3に近い辺に配置されたボンディングパッド15…とインターポーザチップ3上の第2のボンディングパッド35b…とを、ワイヤ8…を介して電氣的に接続する。次にインターポーザチップ3上の第1のボンディングパッド35aとボンディング端子6…のうち半導体チップ2上のボンディングパッド25…と接続される以外のものとを、ワイヤ8…を介して電氣的に接続する。

【0086】

さらに、半導体1上のボンディングパッド15のうち、半導体1の外周辺のうちでインターポーザチップ3に近い辺に配置されたボンディングパッド15…以外のものと、ボンディング端子6…のうち半導体チップ2上のボンディングパッド



ド 25…およびインターポーザチップ 3 上のだい 1 のボンディングパッド 35 a と接続される以外のものとを、ワイヤ 8…を介して電氣的に接続する。

【0087】

なお、図 2 (b) では、図 1 (b) と同様に、ボンディング端子 6…へ接続するワイヤ 8…同士が交差していないことを示すために、便宜上、ワイヤボンディングの状態を図 2 (a) の状態とは変えて図示してある。

【0088】

本実施形態のように、半導体チップ 2 において、半導体チップ 1 およびインターポーザチップ 3 を並べて配置でき、ワイヤボンディングできる面積があれば、上記のような構成にすることにより、インターポーザチップを積層しても積層の厚みを増大させずに半導体装置を製造することができる。

【0089】**〔実施の形態 3〕**

本発明の半導体装置に関する他の実施形態について、図 3 (a) および図 3 (b) に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施の形態 1 にて説明した図面と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

【0090】

図 3 (a) は、本実施形態の半導体装置を積層上方から見た平面図であり、同図 (b) は同図 (a) の C-C' 矢視断面図である。図 3 (a) および図 3 (b) に示すように、本実施形態の半導体装置は、基板 4 の上面に、インターポーザチップ 3、半導体チップ 1 および 2 がこの順に積層して搭載された構成である。つまり、本実施形態では、基板 4 と半導体チップ 2 との間にインターポーザチップ 3 が形成されている。

【0091】

半導体チップ 1 および 2 のボンディングパッド 15…および 25…は、それぞれ別のインターポーザチップ 3 の第 2 のボンディングパッド 35 b…とワイヤ 8…によって接続されている。第 2 のボンディングパッド 35 b…と第 1 のボンディングパッド 35 a…とは配線 7…によって接続されている。また、第 1 のボン

ディングパッド 35 a…と基板 4 のボンディング端子 6…とがワイヤ 8…によって接続されている。つまり、半導体チップ 1 および 2 のボンディングパッド 15…および 25…は、ワイヤ 8…とインターポーザチップ 3 を介して、基板 4 上のボンディング端子 6…に電氣的に接続される。

【0092】

本実施形態の半導体装置の製造工程として、初めに基板 4 の上面に、インターポーザチップ 3、半導体チップ 2、半導体チップ 1 の順に積載して固定させる。それぞれのチップ間およびインターポーザチップ 3 と基板 4 との間はダイボンド接着層 9 を用いて接着する。次に、インターポーザチップ 2 上の第 1 のボンディングパッド 35 a…と基板 4 上のボンディング端子 6…とを、ワイヤ 8…を介して電氣的に接続する。半導体チップ 1 上のボンディングパッド 15…とインターポーザチップ 3 上の第 2 のボンディングパッド 35 b…とを、ワイヤ 8…を介して電氣的に接続する。さらに、半導体チップ 2 上のボンディングパッド 25…とインターポーザチップ 3 上の第 2 のボンディングパッド 35 b…のうち半導体チップ 1 上のボンディングパッド 15…と接続される以外のものとを、ワイヤ 8…を介して電氣的に接続する。

【0093】

なお、図 3 (b) では、図 1 (b) と同様に、ボンディング端子 6…へ接続するワイヤ 8…同士が交差していないことを示すために、便宜上、ワイヤボンディングの状態を図 3 (a) の状態とは変えて図示してある。

【0094】

上記のような構成では、半導体チップ 2 のサイズが基板 4 に比べてかなり小さい場合にもインターポーザチップを用いて電氣的接続を行うことができる。

【0095】

〔実施の形態 4〕

本発明の半導体装置に関する他の実施形態について、図 4 および図 5 に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施の形態 1 にて説明した図面と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

【0096】

図4は、第1のボンディングパッドと第2のボンディングパッドとを結ぶ配線が、実施の形態1ないし3のインターポーザチップの配線とは異なって形成されるインターポーザチップの平面図である。図4に示すように、本実施形態のインターポーザチップ30において、実施の形態1で図1に示したインターポーザチップ3と同様に、第1のボンディングパッド35a…は、インターポーザチップ3の外周辺に沿って配置されている。また、第2のボンディングパッド35b…は、第1のボンディングパッド35a…の内側で、インターポーザチップ3の上に積層されるチップの外周辺に沿って配置されている。

【0097】

また、第1のボンディングパッド35a…と、第2のボンディングパッド35b…とは配線7…によって接続されている。配線7…は、第1のボンディングパッド35a…の各々と第2のボンディングパッド35b…の各々とを1対1で接続している。

【0098】

実施の形態1では、全ての配線7…は、互いに交差しないように第2のボンディングパッド35b…から第1のボンディングパッド35a…に向かって放射線状に配線された構成となっていたが、本実施形態では、配線7…の配線状態がより複雑なものとなっている。以下にこのことについて説明する。

【0099】

ここで、インターポーザチップ3の下側に積層されているチップあるいは基板を下層基板と称し、インターポーザチップ3の上側に積層されているチップを上層基板と称することにする。そして、下層基板における複数のボンディングパッドと、上層基板における複数のボンディングパッドとを、第1のボンディングパッド35a…、配線7…、および第2のボンディングパッド35b…を介して1対1で接続するものとする。

【0100】

この際に、下層基板における複数のボンディングパッドの配列の順番と、上層基板における複数のボンディングパッドの配列の順番とが異なっている場合には

、実施の形態 1 のような配線 7…の配線状態とすると、上層基板あるいは下層基板における複数のボンディングパッドと、第 1 のボンディングパッド 35 a…あるいは第 2 のボンディングパッド 35 b…とを接続するワイヤ 8…が互いに交差してしまうことになる。

【0101】

そこで、本実施形態では、上層基板における複数のボンディングパッドと第 1 のボンディングパッド 35 a…とを接続するワイヤ 8…が互いに交差せず、かつ、下層基板における複数のボンディングパッドと第 2 のボンディングパッド 35 b…とを接続するワイヤ 8…も互いに交差しないように、第 1 のボンディングパッド 35 a…および第 2 のボンディングパッド 35 b…を配置している。そして、互いに対応する第 1 のボンディングパッド 35 a…および第 2 のボンディングパッド 35 b…同士を接続するように、配線 7…を引き回した構成となっている。この配線 7…の引き回しは、配線 7…同士が互いに交差しないように行われている。

【0102】

例えば図 4 に示す例では、配線 7…のうちの少なくとも一部は、インターポーザチップ 3 の一辺に沿う第 1 のボンディングパッド 35 a…と、当該一辺に最短で対応する、より上層のチップの一辺とは別の一辺に沿う第 2 のボンディングパッド 35 b…とを接続している。また、全ての配線 7…が交わらないように配線されている。なお、配線 7…は、インターポーザチップ 3 の一辺に沿う第 1 のボンディングパッド 35 a…と、当該一辺に最短で対応する、より上層のチップの一辺に沿う第 2 のボンディングパッド 35 b…とを接続していてもよい。

【0103】

このように接続配線の全長は最短とならなくてもかまわない。つまり、配線 7…が、第 1 のボンディングパッド 35 a と第 2 のボンディングパッド 35 b とを 1 対 1 で接続し互いに交わらなければ、配線 7…は、どのようにでも引き回すことができる。

【0104】

図 5 (a) は、図 4 に示すインターポーザチップ 30 を用いた本実施形態の半



導体装置を積層上方から見た平面図であり、同図（b）は同図（a）のD-D' 矢視断面図である。図5に示すように、本実施形態の半導体装置は、基板4の上面に、半導体チップ2、インターポーザチップ30および半導体チップ1がこの順に積層された構成である。なお、基板4と半導体チップ2との間、半導体チップ2とインターポーザチップ30との間、およびインターポーザチップ3と半導体チップ1との間は、それぞれ、ダイボンド接着層9で接着されている。

【0105】

ワイヤボンディングによる全てのワイヤ8…の接続は、図1と同様である。

【0106】

図1と同様に、第2のボンディングパッド35b…と第1のボンディングパッド35a…とは、配線7…によってそれぞれ接続されているため、ボンディングパッド15…は、第2のボンディングパッド35b…、配線7…、および第1のボンディングパッド35a…を介して、ワイヤ8…によって、基板4のボンディング端子6…に電氣的に接続される。

【0107】

以上のような配線7…の構成により、半導体チップ1におけるボンディングパッド15…の配列順番と、基板4におけるボンディング端子6…の配列順番とが異なっても、ワイヤ8…を互いに交差させることなく対応する端子同士を電氣的に接続することが可能になる。これにより、基板4の配線設計を、積層するそれぞれの半導体チップに合わせる必要がなくなるので、基板4の設計及び製造が容易になるという利点が生じる。

【0108】

〔実施の形態5〕

本発明の半導体装置に関する他の実施形態について、図6ないし図8に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施の形態1にて説明した図面と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

【0109】

図6は、第1のボンディングパッドと第2のボンディングパッドとの間に別の

ボンディングパッドとして第3のボンディングパッドが形成されているインターポーザチップの平面図である。図6に示すように、本実施形態のインターポーザチップ31は、第1のボンディングパッド35a…と第2のボンディングパッド35b…との間に第3のボンディングパッド35c…を備えた構成である。第1のボンディングパッド35a…と第3のボンディングパッド35c…、および第3のボンディングパッド35c…と第2のボンディングパッド35b…は、それぞれ1対1で配線7…により接続されている。

【0110】

本実施形態においては、第1のボンディングパッド35a…は、インターポーザチップ3の外周辺に沿って配置されている。また、第3のボンディングパッド35c…は、第1のボンディングパッド35a…の内側で第1のボンディングパッド35a…の配列に沿って配置されている。また、第2のボンディングパッド35b…は、第3のボンディングパッド35c…の内側で第3のボンディングパッド35c…の配列に沿って配置されている。つまり、第1のボンディングパッド35a…の配列の内側に、第2のボンディングパッド35b…の配列が設けられ、さらにその内側に、第3のボンディングパッド35c…の配列が設けられている。

【0111】

上記のようにインターポーザチップ31が第3のボンディングパッド35c…を備えることにより、図7および図8に示すように、同種のインターポーザチップ31を異なったサイズの半導体チップに対応させることができる。これを以下で説明する。

【0112】

図7および図8は、図6に示すインターポーザチップ31上にそれぞれ別のサイズの半導体チップ1を積層した本実施形態の半導体装置を積層上方から見た平面図である。

【0113】

図7に示すように、図6のインターポーザチップ31の上に、第2のボンディングパッド35b…の配列の内側に収まるサイズの半導体チップ1が搭載される

。半導体チップ1のボンディングパッド15…と、インターポーザチップ31上の第2のボンディングパッド35b…とがワイヤボンディングされ、ワイヤ8…を介して電氣的に接続される。

【0114】

また、図8に示すように、図6のインターポーザチップ31の上に、第2のボンディングパッド35b…の配列の内側には収まらないが、第3のボンディングパッド35c…の配列の内側には収まるサイズの半導体チップ1が搭載される。半導体チップ1のボンディングパッド15…と、第3のボンディングパッド35c…とがワイヤボンディングされ、ワイヤ8…を介して電氣的に接続される。

【0115】

このように、図6に示すようなインターポーザチップ31は、異なったサイズの半導体チップ1を搭載することができる。つまり、インターポーザチップ上のボンディングパッドとして、第1のボンディングパッドと第2のボンディングパッドのみが形成されている場合では、第2のボンディングパッドの配列の内側に収まるサイズの半導体チップしか搭載することができない。

【0116】

ここで、第2のボンディングパッドの配列をより外側に設ければ、積載する半導体チップの大きさにフレキシビリティを与えることができる。しかしながら、第2のボンディングパッドの配列の大きさに比べて、サイズが小さすぎる半導体チップを積載してしまうと、第2のボンディングパッドと半導体チップ上のボンディングパッドとを接続するワイヤの長さが長くなるという問題が生じることになる。

【0117】

これに対して、本実施形態の構成によれば、半導体チップのサイズに応じて、半導体チップ上のボンディングパッドとワイヤボンディング接続するインターポーザ上のボンディングパッドを切り替えることが可能となる。よって、積載する半導体チップのサイズが変わっても、第2のボンディングパッドと半導体チップ上のボンディングパッドとを接続するワイヤの長さを必要以上に長くすることなく、電氣的接続を行うことが可能となる。

【0118】

さら第4以降のボンディングパッドが、上記各ボンディングパッドの間に配置され、各ボンディング間が配線7…によって接続されていてもかまわない。このようにボンディングパッドを増やすことで、インターポーザチップ31上に積層する半導体チップのサイズによる規制が少なくなる。

【0119】


また、本実施の形態においても、実施の形態4のように、第1のボンディングパッド35a…と第3のボンディングパッド35c…間、および／または第2のボンディングパッドb…と第3のボンディングパッド35c…間においても、各々が互いに交わらないように配線7…を引き回すことができる。半導体チップ1のサイズが違っていても、半導体チップ1のボンディングパッド15…と、基板4上の最短ではない位置のボンディング端子6…とを電氣的に接続することが可能になる。よって、異なった複数の種類の半導体チップを搭載することのできるインターポーザチップを製造することが可能になる。

【0120】

以上の実施形態で述べたことは、半導体チップの積層数が増えても当然適用される。また、本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【0121】**【発明の効果】**

本発明の半導体装置は、以上のように、外部引出し電極が設けられた1つ以上の半導体チップを積層基台に積層した半導体装置において、少なくとも1つの接続配線が形成されたインターポーザチップを備え、少なくとも1つの上記半導体チップに設けられている外部引出し電極が、ワイヤボンディングにより、少なくとも1つの上記インターポーザチップにおける上記接続配線に接続されているとともに、上記接続配線に接続されている上記半導体チップに設けられている外部引出し電極が、該接続配線を中継して、上記積層基台または別の半導体チップに



設けられている配線の電極と電氣的に接続される構成である。

【0122】

上記構成によれば、半導体チップに設けられている外部引出し電極と、積層基台または別の半導体チップの電極とを接続する際に、インターポーザチップを中継することができるので、ワイヤボンディングによるワイヤの長さを短くすることが可能となる。よって、ワイヤが長い場合に生じていた、ワイヤ強度の低下、自重によるワイヤの垂れなどによるワイヤ同士の接触、ワイヤと下段にある半導体チップエッジとの接触といった不具合を抑制することができるという効果を奏する。

【0123】

また、上記構成によれば、再配線層を形成しないために、半導体チップ内の半導体素子の電氣的特性の劣化といった問題は発生しないし、ワイヤボンディングの接合強度を低下させることもない。また、インターポーザチップの厚みや固さにより、ワイヤボンディング時におけるストレスによる影響を解消することができる。

【0124】

従って、上記の構成によれば、積層基台上に積層された複数の半導体チップ内に形成された半導体素子の電氣的特性の劣化や物理的破壊を防止することが可能であり、ワイヤボンディング強度を高くすることが可能となるという効果を奏する。

【0125】

本発明に係る半導体装置は、上記インターポーザチップは、上記半導体チップを形成する際に用いられるウェハと同じ材質および構造のウェハを用いて形成される構成でもよい。

【0126】

上記構成によれば、ワイヤボンディング用ワイヤを中継させるための配線ピッチを微細に形成することができる。つまり、半導体チップにおいて、ウェハに配線層を形成する場合は、配線ピッチの最小値は $1\ \mu\text{m}$ 以下が可能であるので、インターポーザチップにおいても、同様に最小値は $1\ \mu\text{m}$ の微細な配線ピッチの接

続配線を形成できるという効果を奏する。

【0127】

また、インターポーザチップを、半導体チップに用いられるウェハと同じもので形成することができるので、インターポーザチップ用の基板を別に用意する必要がなくなる。よって、製造コストおよび装置コストの低減を図ることができるという効果も奏する。

【0128】

本発明に係る半導体装置は、上記インターポーザチップは、上記半導体チップを形成する装置と同じ装置で形成される構成でもよい。

【0129】

上記構成によれば、インターポーザチップの接続配線を形成する工程では、半導体チップの形成時にウェハに配線層を形成する場合と同様に微細な配線ピッチの接続配線を形成することができる。また、インターポーザチップの形成のための装置は、半導体チップを形成するための装置と同様のものを用いることができるため、生産コストを削減することができるという効果を奏する。

【0130】

本発明に係る半導体装置は、上記インターポーザチップよりも積層上方に少なくとも1つの半導体チップが積層される構成でもよい。

【0131】

上記構成によれば、インターポーザチップを介してワイヤボンディングすることで、インターポーザチップよりも積層上方の半導体チップの電極とインターポーザチップよりも積層下方の電極とを電氣的に接続させることができるという効果を奏する。

【0132】

本発明に係る半導体装置は、上記インターポーザチップに設けられている接続配線には、上記インターポーザチップよりも積層下方に設けられる外部電極とワイヤボンディングによって電氣的接続される第1のボンディングパッドと、上記インターポーザチップよりも積層上方に設けられる外部電極とワイヤボンディングによって電氣的接続される第2のボンディングパッドとが設けられている構成

でもよい。

【0133】

上記構成によれば、ボンディングパッドを外部接続のためのワイヤボンディングパッドおよび電極パッドとして用いることができる。このインターポーザチップのボンディングパッドを中継してワイヤボンディングすると、上段の半導体チップから積層基台の配線に向けて直接ワイヤボンディングを行うよりもワイヤ1本あたりの長さは短くすることができる。

【0134】

従って、半導体チップと積層基台とを1回のワイヤボンディングで接続するとワイヤの長さが非常に長くなってしまような半導体チップに対しても、ワイヤの長さをより短くすることができるという効果を奏する。

【0135】

また、インターポーザチップよりも積層上方に設けられる半導体チップの電極を、インターポーザチップの2つのボンディングパッドを介して積層基台または他の半導体チップの電極にワイヤボンディングにより電氣的に接続させることができるという効果を奏する。

【0136】

本発明に係る半導体装置は、上記インターポーザチップと上記半導体チップとが、上記積層基台または別の半導体チップ上に並列して配置されている構成でもよい。

【0137】

上記構成によれば、半導体チップ上の外部引出し電極のうち、上記積層基台または別の半導体チップに設けられている電極から遠く離れている電極に対して、並列に配置されたインターポーザチップを中継して電氣的接続を行うことが可能となる。

【0138】

よって、インターポーザチップは、半導体チップと並列して配置されるので、半導体装置の厚みが増大することを抑制することができる。すなわち、インターポーザチップよりも積層下方の半導体チップの面積あるいは積層基台の面積を積

層に有効に利用することが可能となるという効果を奏する。

【0139】

本発明に係る半導体装置は、上記インターポーザチップよりも積層下方に設けられる外部電極とワイヤボンディングによって電氣的に接続される第1のボンディングパッドと、上記インターポーザチップと並列して配置される半導体チップの電極とワイヤボンディングによって電氣的に接続される第2のボンディングパッドとが設けられている構成でもよい。

【0140】

上記構成によれば、インターポーザチップと半導体チップとは、並列して積層基台あるいは別の半導体チップ上に配置され、第1のボンディングパッドはインターポーザチップよりも積層下方に設けられる外部電極と、第2のボンディングパッドは並列して配置される半導体チップの電極とワイヤボンディングされる。

【0141】

従って、インターポーザチップを積層しても半導体装置の積層の厚みを増大させることなく、インターポーザチップよりも積層上方に設けられる半導体チップの電極を、インターポーザチップの2つのボンディングパッドを介して積層基台または他の半導体チップの電極にワイヤボンディングにより電氣的に接続させることができるという効果を奏する。

【0142】

本発明に係る半導体装置は、上記インターポーザチップに複数の接続配線が設けられているとともに、上記複数の接続配線が、それぞれ互いに交差しないように配置されている構成でもよい。

【0143】

上記構成によれば、複数の接続配線を介して、半導体チップにおける複数の電極と、積層基台あるいは別の半導体チップの複数の電極とを電氣的接続させることができる。

【0144】

また、上記構成では、短絡などの不具合の発生を防止し、上記電氣的接続を確実に行うことができるという効果を奏する。

【0145】

本発明に係る半導体装置は、上記第1のボンディングパッドの配列の順番と、該第1のボンディングパッドと上記接続配線によって接続される上記第2のボンディングパッドの配列の順番とが異なっている構成でもよい。

【0146】

上記構成によれば、第1のボンディングパッドに接続する外部電極の配列順序が、第2のボンディングパッドと接続する外部電極の配列順序と異なっているてもよいことになる。従って、インターポーザチップより積層上方の半導体チップの電極は、当該インターポーザチップより積層下方の積層基台または別の半導体チップのどの位置の電極とも電氣的に接続することが可能になるという効果を奏する。よって、積層基台の配線設計をそれぞれの半導体チップに合わせる必要がなくなるので、積層基台の設計・製造を容易にすることができる。

【0147】

本発明に係る半導体装置は、上記インターポーザチップの接続配線には、上記第1のボンディングパッドと上記第2のボンディングパッドとの間に、少なくとも1つの別のボンディングパッドが設けられているとともに、上記第1のボンディングパッド、上記第2のボンディングパッド、および上記別のボンディングパッドのうち、任意の2つのボンディングパッドを用いて外部電極とワイヤボンディングが行われる構成でもよい。

【0148】

上記構成によれば、第1のボンディングパッドと別のボンディングパッドとの間、および、別のボンディングパッドと第2のボンディングパッドとの間が配線によって接続されている。また、第1、第2のおよび別のボンディングパッドのうち任意の2つを外部電極との接続に用いることができる。

【0149】

従って、第1、第2のおよび別のボンディングパッドを有する同一種類のインターポーザチップに、異なったサイズの半導体チップを搭載することが可能になるという効果を奏する。このように、半導体チップのサイズに起因するインターポーザチップの制約の影響が低減することによって、ワイヤボンディング工程の

歩留が低下することなく、積層可能な半導体チップ組み合わせの自由度を大幅に向上させることができる。

【0150】

本発明に係る半導体装置は、上記第1、第2および、別のボンディングパッドを有するインターポーザチップに複数の接続配線が設けられているとともに、上記複数の接続配線が、それぞれ互いに交差しないように配置されている構成でもよい。

【0151】

上記構成によれば、上記第1、第2および、別のボンディングパッドを有するインターポーザチップでも接続配線を介して、半導体チップにおける複数の電極と、積層基台あるいは別の半導体チップの複数の電極とを電氣的接続させることができるという効果を奏する。また、それぞれの接続配線が互いに交差しないように配置されているので、上記電氣的接続を確実に行うことができる。

【0152】

本発明に係る半導体装置は、上記第1のボンディングパッドの配列の順番、該第1のボンディングパッドと上記接続配線によって接続される上記第2のボンディングパッドの配列の順番、および該第2のボンディングパッドと上記接続配線によって接続される上記別のボンディングパッドの配列の順番のうち、少なくとも2つのボンディングパッドの配列の順番が異なっている構成でもよい。

【0153】

上記構成によれば、第1のボンディングパッドに接続する外部電極の配列順序、第2のボンディングパッドに接続する外部電極の配列順序、および第3のボンディングパッドに接続する外部電極の配列順序のうちの少なくともいずれか2つが異なっていることもよいことになる。

【0154】

従って、同一種類のインターポーザチップに、複数の異なった配列をもつ半導体チップを搭載した場合にも、インターポーザチップより積層上方の半導体チップの電極は、当該インターポーザチップより積層下方の積層基台または別の半導体チップのどの位置の電極とも電氣的に接続することが可能になるという効果を

奏する。

【図面の簡単な説明】

【図 1】

(a) は本発明の一実施の形態における半導体装置の構成を示す平面図であり、(b) は (a) の A-A' 矢視断面図である。

【図 2】

(a) は本発明の他の実施の形態における半導体装置の構成を示す平面図であり、(b) は (a) の B-B' 矢視断面図である。

【図 3】

(a) は本発明の図 1 および 2 とは別の実施の形態における半導体装置の構成を示す平面図であり、(b) は (a) の C-C' 矢視断面図である。

【図 4】

図 1 ないし図 3 に示されるインターポーザチップの配線とは、別の配線を有するインターポーザチップの構成を示す平面図である。

【図 5】

(a) は図 4 に示すインターポーザチップに半導体チップを積層した半導体装置の平面図であり、(b) は (a) の D-D' 矢視断面図である。

【図 6】

図 1 ないし 4 に示されるインターポーザチップとは別のインターポーザチップの構成を示す平面図である。

【図 7】

図 6 に示すインターポーザチップに半導体チップを積層した半導体装置の平面図である。

【図 8】

図 6 のインターポーザチップに図 7 とは別の半導体チップを積層した半導体装置の平面図である。

【図 9】

(a) は従来の半導体装置の構成例を示す平面図であり、(b) は (a) の E-E' 矢視断面図である。

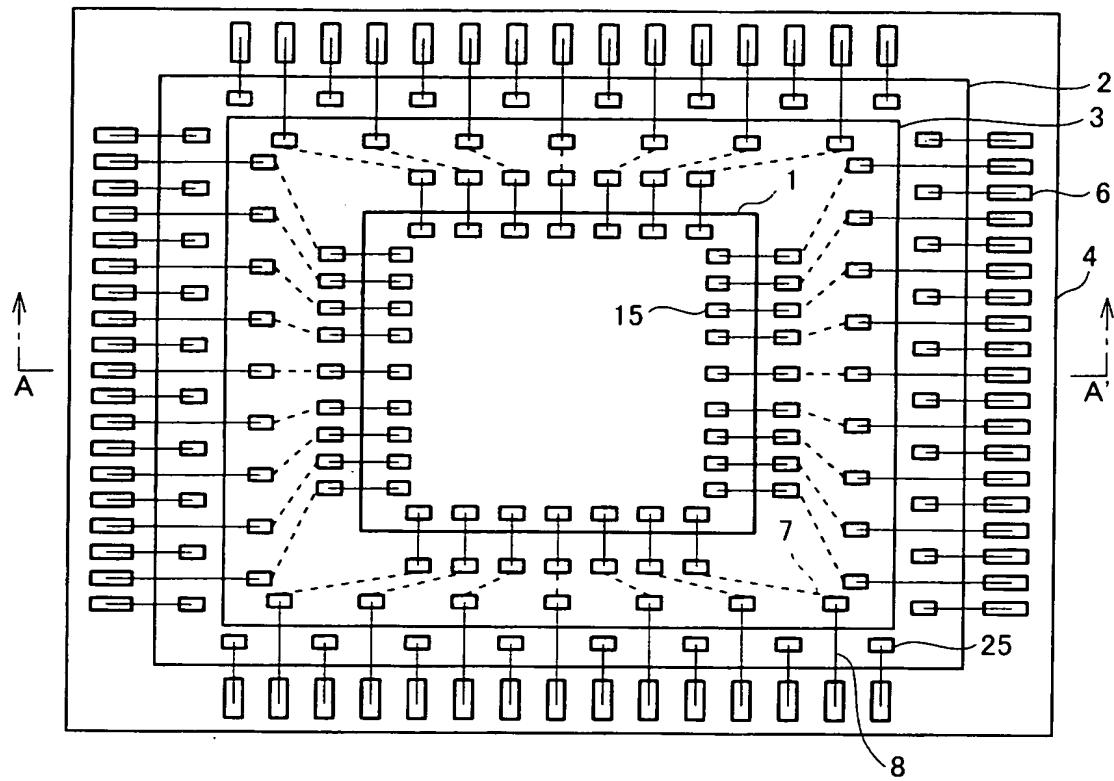
【符号の説明】

- 1・2 半導体チップ
- 3 インターポーザチップ
- 4 基板（積層基台）
- 6 ボンディング端子
- 7 配線（接続配線）
- 8 ワイヤ
- 15 半導体チップ1のボンディングパッド（外部引出し電極）
- 25 半導体チップ2のボンディングパッド（外部引出し電極）
- 30 インターポーザチップ
- 31 インターポーザチップ
- 35a インターポーザチップの第1のボンディングパッド
- 35b インターポーザチップの第2のボンディングパッド
- 35c インターポーザチップの第3のボンディングパッド

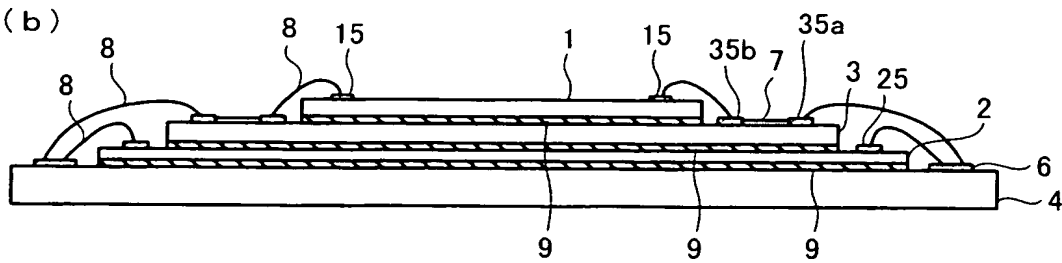
【書類名】 図面

【図 1】

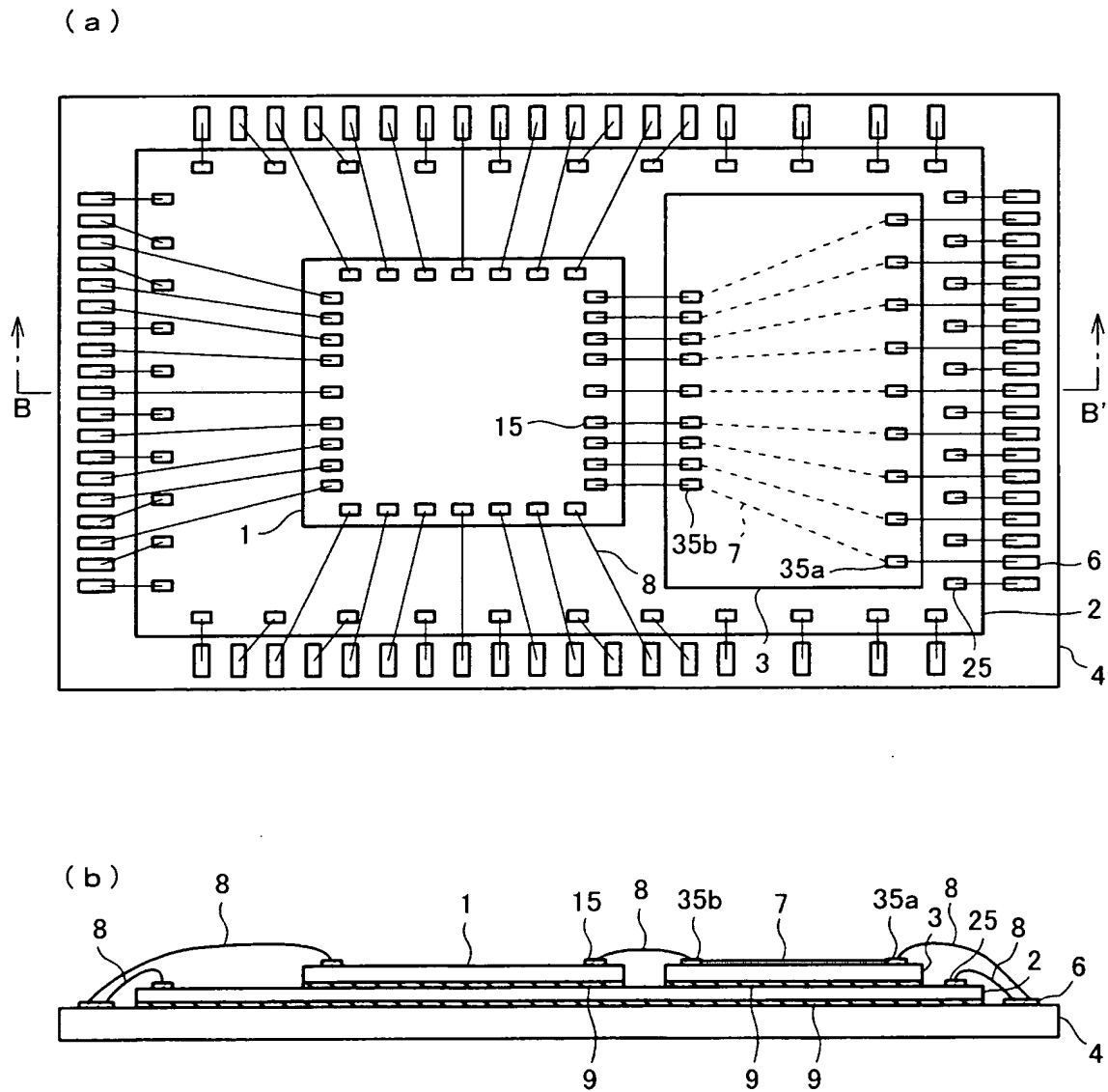
(a)



(b)

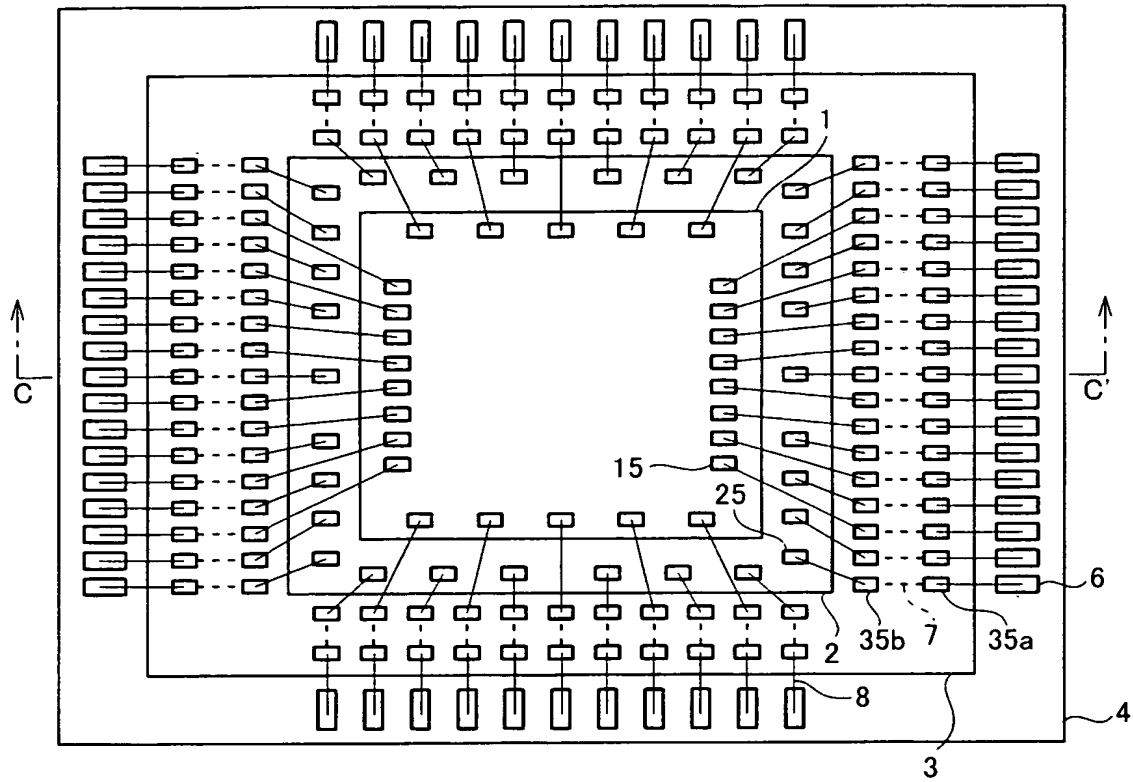


【図 2】

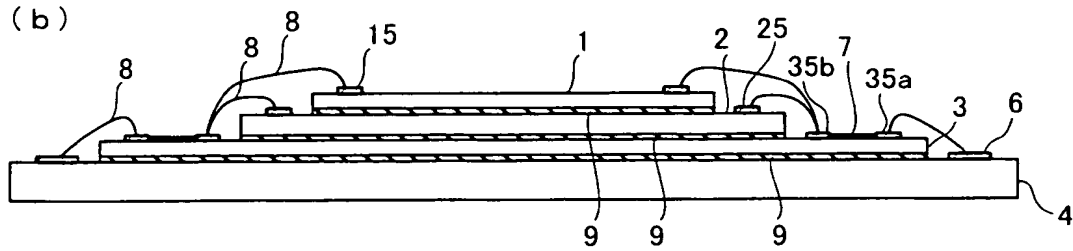


【図 3】

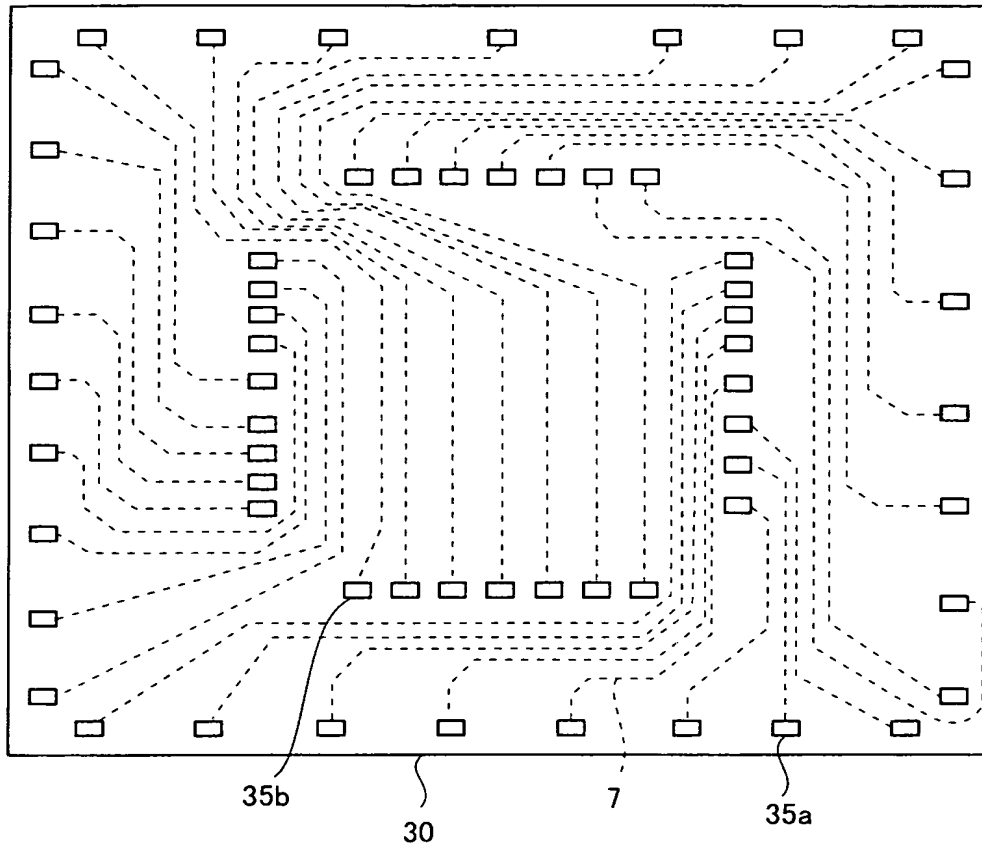
(a)



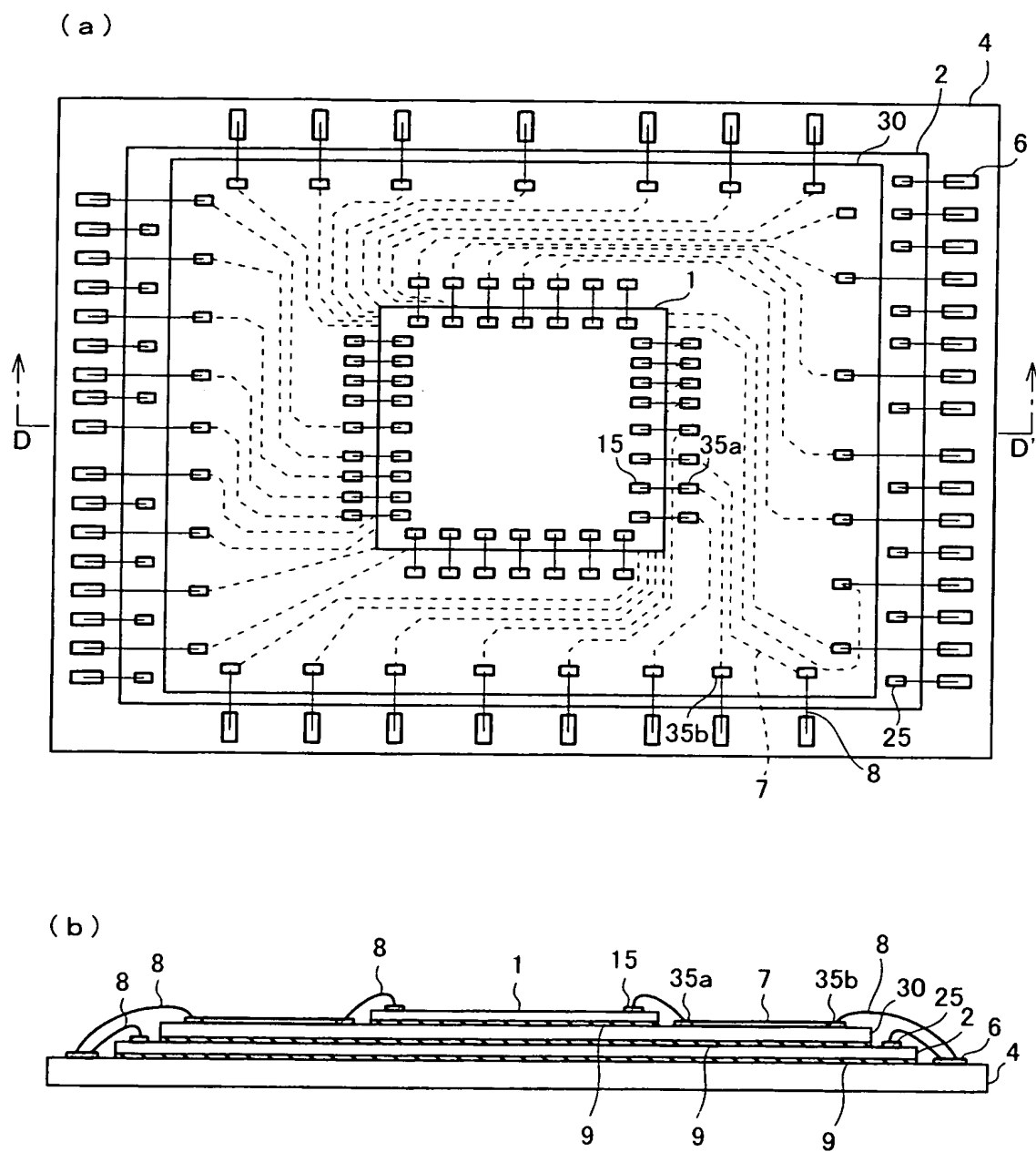
(b)



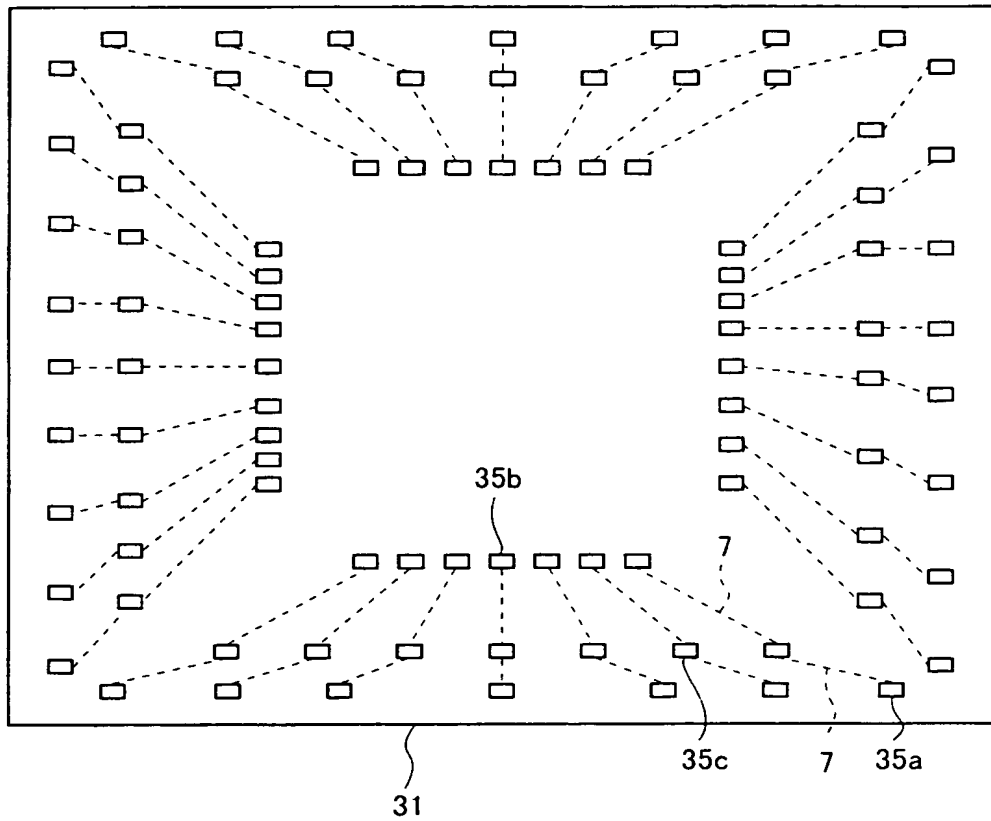
【図 4】



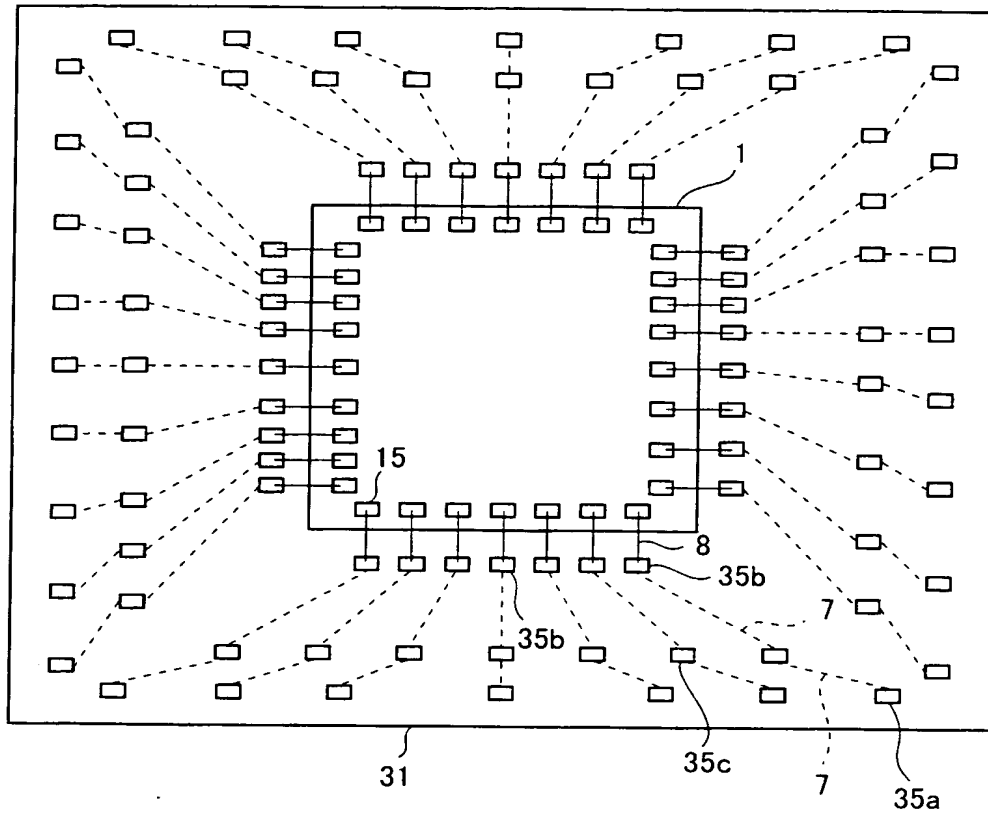
【図 5】



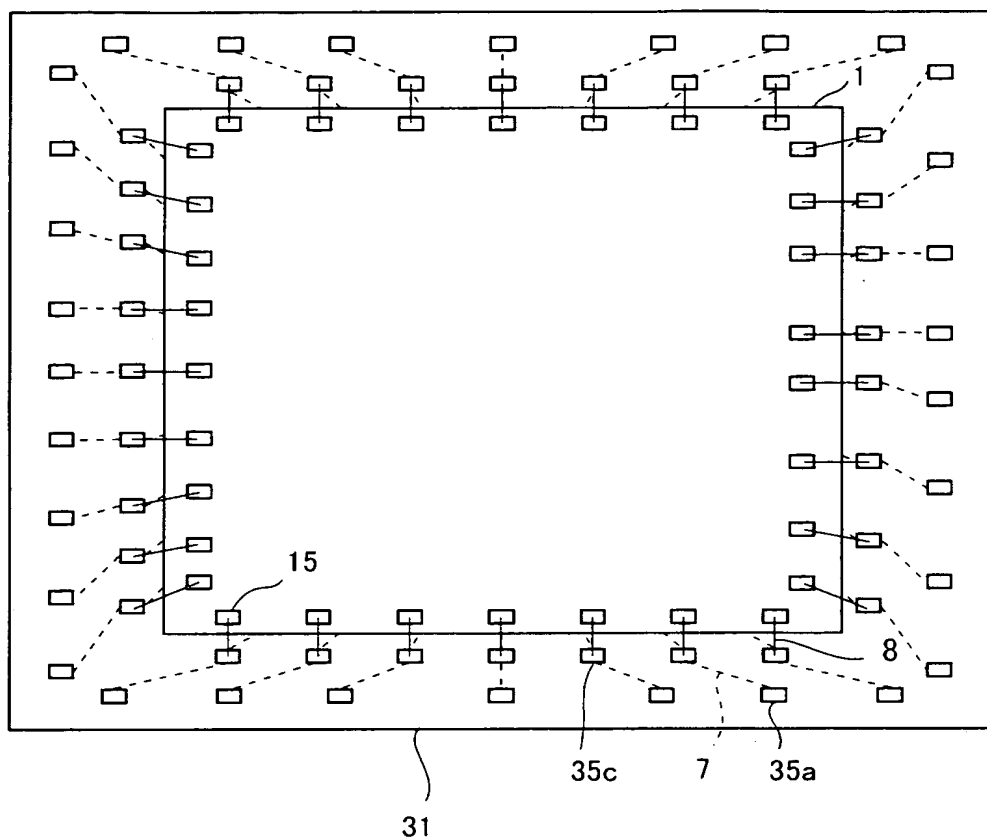
【図 6】



【図 7】

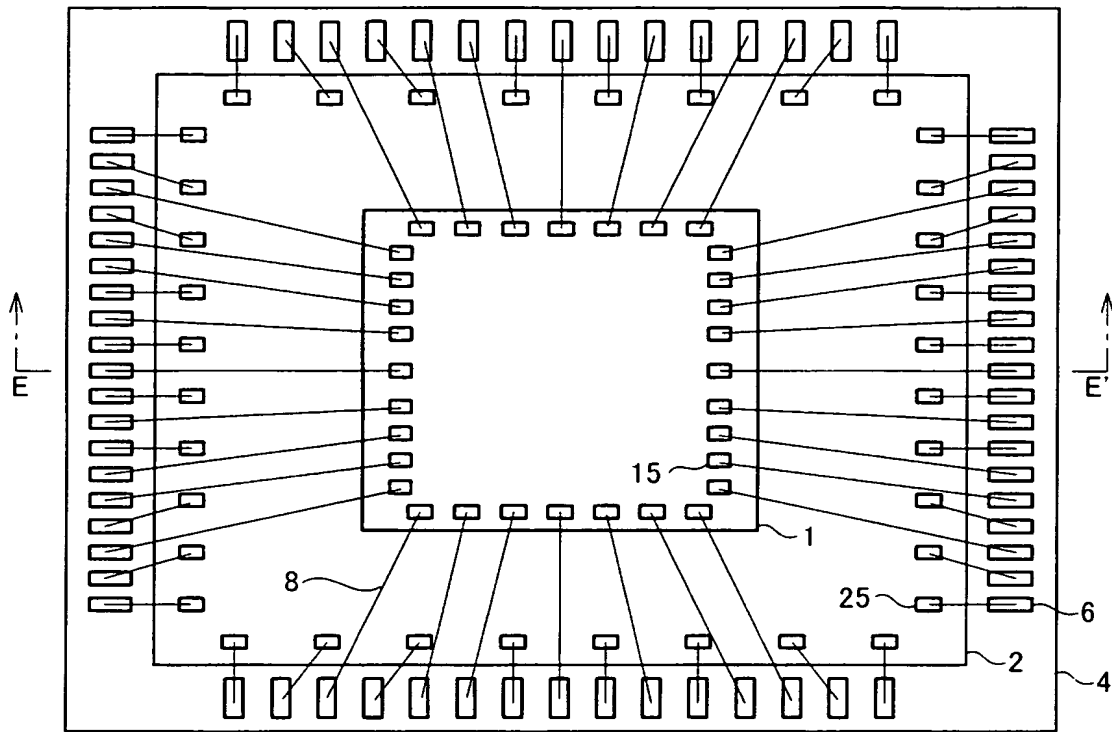


【図 8】

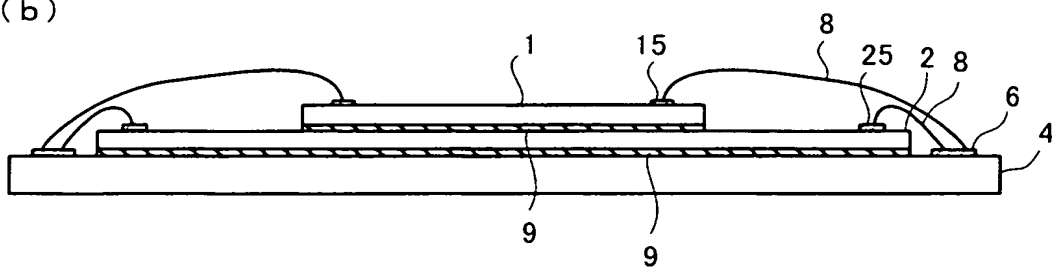


【図 9】

(a)



(b)



【書類名】 要約書

【要約】

【課題】

複数の半導体チップが積層される構成において、半導体チップ内に形成された半導体素子の電気的特性の劣化と物理的破壊とを防止するとともに、ワイヤボンディング強度を低下させることなく、また、ワイヤボンディング用ワイヤを中継させるための配線の配線ピッチを微細に形成できる半導体装置を提供する。

【解決手段】

半導体チップを基板 4 上に積層させた半導体装置において、配線 7…を有するインターポーザチップ 3 を、半導体チップ 1 の下に設ける。半導体チップ 1 のボンディングパッド 15…は、ワイヤボンディングによりインターポーザチップを中継して、基板 4 に設けられているボンディング端子 6…と電氣的に接続される。

【選択図】 図 1



特願 2 0 0 3 - 0 2 0 9 7 1

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社